

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to amelioration of an output buffer. Especially, it has the both-sexes ability of the high-speed engine performance and the low noise engine performance, and by switching and using the engine performance, also when a large number are used for a large-scale integrated circuit, it is related with amelioration aiming at offering the output buffer which can reduce the amount of total noises.

[0002]

[Description of the Prior Art] The output buffer concerning the conventional technique is explained with reference to drawing 4 . In drawing, 1 is an input terminal and 21-22 is 2 sets of preceding paragraph inverters which answer the reversal signal inputted into this input terminal 1, and operate. 3 is a latter-part inverter which consists of an N channel transistor Q32 into which the output of the preceding paragraph inverter 22 of the P channel transistor Q31 into which the output of one above-mentioned preceding paragraph inverter 21 is inputted at the gate, and above-mentioned another side is inputted at the gate.

[0003] Actuation of this output buffer is explained below. If a reversal signal is inputted into the above-mentioned input terminal 1, this input signal will be answered, the P channel transistor of the preceding paragraph inverter 21-22 or an N channel transistor will turn on, and the voltage level of the output of the preceding paragraph inverter 21-22 will change between supply voltage VDD and touch-down potentials. Since the output of the latter-part inverter 3 is reversed comparatively steeply with this output signal, the buffer has the high-speed engine performance.

[0004]

[Problem(s) to be Solved by the Invention] However, since the noise of each output buffer is added when many output buffers which the output buffer which has the high-speed engine performance requires for the conventional technique since the amount of noises to generate is large are used for a large-scale integrated circuit and it carries out coincidence change, the amount of total noises becomes large, this noise that increased affects other large-scale integrated circuits, and the fault referred to as causing malfunction of the whole semiconductor device exists. A limit is given to the number of unusable output buffers in order to avoid this malfunction.

[0005] The purpose of this invention is to cancel the above-mentioned fault, and by having the both-sexes ability of the high-speed engine performance and the low noise engine performance, and switching and using the above-mentioned engine performance according to the class of load of an output buffer, also when a large number are used for a large-scale integrated circuit and the coincidence input of the reversal signal is carried out, it is to offer the output buffer which can

reduce the amount of total noises.

[0006]

[Means for Solving the Problem] In the output buffer which has the latter-part inverter which answers the output of two preceding paragraph inverters which the above-mentioned purpose answers the reversal signal inputted into an input terminal, and operate, and these preceding paragraph inverters, and operates The 1st transmission gate is prepared between the sources of the N channel transistor of the aforementioned preceding paragraph inverter and touch-down which control the P channel transistor of the aforementioned latter-part inverter. The 2nd transmission gate is prepared between the sources of the P channel transistor of the aforementioned preceding paragraph inverter and the power sources which control the N channel transistor of the aforementioned latter-part inverter. Each of two gates of the 1st aforementioned transmission gate is connected to a control terminal, and each of two gates of the 2nd aforementioned transmission gate is attained by the output buffer connected to the outgoing end of the inverter connected to the aforementioned control terminal.

[0007]

[Function] The change width of face of signal-level level in case the signal inputted into the gate of the latter-part inverter is reversed in the output buffer concerning this invention (It is hereafter called reversal signal change width of face) is chosen as either of the smallness, as for stride, reversal signal change width of face is [the output of an output buffer] steeply reversed at the adult time, rapidity is secured, when reversal signal change width of face is smallness, the output of an output buffer is gently reversed, and low noise nature is secured. Size selection of the above-mentioned reversal signal change width of face is performed as follows. ***** ON of the P channel transistor of 2 sets of transmission gates added to the order inverter based on this signal when the signal of '0' or '1' was inputted into the control terminal, and an N channel transistor -- it carries out. When the control signal inputted into the above-mentioned control terminal is '0', the reversal signal change width of face of the signal inputted into a latter-part inverter for the SURESSHORUDO electrical potential difference in the above-mentioned transmission gate becomes small, and when the above-mentioned control signal is '1', the reversal signal change width of face of the signal which the voltage drop in the above-mentioned transmission gate does not have, and is inputted into a latter-part inverter becomes large.

[0008] According to the class of load connected to an output buffer, to the load with which priority is given to rapidity, '1' signal is inputted into a control terminal, rapidity is secured, '0' signals are inputted into a control terminal to the load with which priority is given to low noise nature over rapidity, and low noise nature is secured. Consequently, many output buffers are connected to a large-scale integrated circuit, and also when the coincidence input of the reversal signal is carried out, the amount of total noises can be reduced.

[0009]

[Example] Hereafter, with reference to a drawing, the output buffer concerning one example of this invention is explained.

[0010] Drawing 1 is the circuit diagram of the output buffer concerning this example. In drawing, 1 is an input terminal and 21-22 is 2 sets of preceding paragraph inverters which answer the reversal signal inputted into this input terminal, and operate. 3 is a latter-part inverter which consists of an N channel transistor Q32 into which the output XN of the preceding paragraph inverter 22 of the P channel transistor Q31 into which the output XP of one above-mentioned preceding paragraph inverter 21 is inputted at the gate, and above-mentioned another side is inputted at the gate. 41 is the N channel transistor Q212 of one above-mentioned

preceding paragraph inverter 21. It is the 1st transmission gate prepared between the source and touch-down, and 2 sets of both the gates are connected to the control terminal 6. 42 is the P channel transistor Q221 of the preceding paragraph inverter 22 of above-mentioned another side. It is the 2nd transmission gate prepared between the source and a power source, and 2 sets of both the gates are connected to the outgoing end of the inverter 5 connected to the control terminal 6. In addition, Q211 It is the P channel transistor of the preceding paragraph inverter 21, and is Q222. It is the N channel transistor of the preceding paragraph inverter 22.

[0011] Actuation of the output buffer which starts this example next is explained. First, the case where '0' signals are inputted into the above-mentioned control terminal 6 is explained with reference to drawing 2. Drawing 2 (a) shows aging of the output signal XP of the preceding paragraph inverter 21 when the input signal a inputted into an input terminal 1 is reversed from L to H, the output signal XN of the preceding paragraph inverter 22, and the output b of an output buffer. Drawing 2 (b) shows the above-mentioned output signals XP and XN when the above-mentioned input signal a is reversed from H to L, and aging with an output b.

[0012] Since '0' signals are inputted into the above-mentioned control terminal 6, it is the P channel transistor Q411 of the 1st transmission gate 41. It is ON and is the N channel transistor Q412. It is off. Therefore, the voltage level of the signal XP which answers an input signal a and the preceding paragraph inverter 21 outputs is supply voltage VDD and the above-mentioned P channel transistor Q411. SURESSHORUDO electrical potential difference V_{thp} Between is changed. Moreover, P channel transistor Q421 of the 2nd transmission gate 42 It is off and is the N channel transistor Q422. It is ON. Therefore, the voltage level of the signal XN which answers an input signal a and the preceding paragraph inverter 22 outputs changes between $(VDD - V_{thn})$ and touch-down potentials. To ****, it is V_{thn} . The above-mentioned N channel transistor Q422 It is a SURESSHORUDO electrical potential difference. Therefore, since both the reversal signal change width of face of the output XP of the above-mentioned preceding paragraph inverter 21 and the output XN of the preceding paragraph inverter 22 is comparatively small, time amount is taken for the transistor Q31 of the latter-part inverter 3 and Q32 to turn on completely, the wave of the output b of the latter-part inverter 3 becomes loose as shown in drawing 2, and the low noise engine performance is secured.

[0013] Below, the case where '1' signal is inputted into the above-mentioned control terminal 6 is explained with reference to drawing 3. Drawing 3 (a) shows aging of the above-mentioned output signals XP and XN when the above-mentioned input signal a is reversed from L to H, and the output b of an output buffer, and drawing 3 (b) shows aging of the above-mentioned amount of many when the above-mentioned input signal a is reversed from H to L.

[0014] Since '1' signal is inputted into the above-mentioned control terminal 6, it is the P channel transistor Q411 of the 1st transmission gate 41. It is off and is the N channel transistor Q412. It is ON. Therefore, the voltage level of the output signal XP of the preceding paragraph inverter 21 changes between supply voltage VDD and touch-down potentials. Moreover, P channel transistor Q421 of the 2nd transmission gate 42 It is ON and is the N channel transistor Q422. It is off. Therefore, the voltage level of the output signal XN of the preceding paragraph inverter 22 also changes between supply voltage VDD and touch-down potentials. Therefore, the reversal signal change width of face of above ***** XP and XN is large, the output b of the latter-part inverter 3 is reversed comparatively steeply, and the high-speed engine performance is secured.

[0015] Therefore, the output buffer concerning this invention combines the high-speed engine performance and the low noise engine performance, and can choose either of the above-mentioned both-sexes ability by choosing [the signal inputted into the control terminal 6] one of

selections for '0' signals or '1' signal paddle gap.

[0016]

[Effect of the Invention] In the output buffer which starts this invention as explained above By choosing and inputting '0' signals or '1' signal paddle gap into a control terminal According to an operation of the transmission gate connected to the preceding paragraph inverter Since the change width of face of the voltage level of the signal inputted into a latter-part inverter can make to one of size and can make reversal of the output of an output buffer to steep or slow all It can have the both-sexes ability of the high-speed engine performance and the low noise engine performance, and the above-mentioned engine performance can be switched and used according to the class of load of an output buffer.

[0017] Therefore, also when this invention can use the high-speed engine performance and the low noise engine performance, switching them easily, a large number are used for a large-scale integrated circuit and the coincidence input of the reversal signal is carried out, the output buffer which can reduce the amount of total noises can be offered.

CLAIMS

[Claim(s)]

[Claim 1] In the output buffer which has the latter-part inverter (3) which answers the output of two preceding paragraph inverters (21-22) which answer the reversal signal inputted into an input terminal (1), and operate, and this preceding paragraph inverter (21-22), and operates The 1st transmission gate (41) is prepared between the sources of the N channel transistor (Q212) of said preceding paragraph inverter (21) and touch-down which control the P channel transistor (Q31) of said latter-part inverter (3). The 2nd transmission gate (42) is prepared between the sources of the P channel transistor (Q221) of said preceding paragraph inverter (22) and the power sources which control the N channel transistor (Q32) of said latter-part inverter (3). Each of two gates of said 1st transmission gate (41) is connected to a control terminal (6). Each of two gates of said 2nd transmission gate (42) is output buffers characterized by coming to connect with the outgoing end of the inverter (5) connected to said control terminal (6).

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the output buffer concerning one example of this invention.

[Drawing 2] It is the explanatory view (in the case [Control terminal '0'] of a signal input) of the output buffer concerning one example of this invention of operation.

[Drawing 3] It is the explanatory view (in the case [Control terminal '1'] of a signal input) of the output buffer concerning one example of this invention of operation.

[Drawing 4] It is the circuit diagram of the output buffer concerning the conventional technique.

[Description of Notations]

1 Input Terminal

21-22 Preceding paragraph inverter

3 Latter-Part Inverter

41 1st Transmission Gate

42 2nd Transmission Gate

5 Inverter

6 Control Terminal

7 Output Terminal

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-090942

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

H03K 19/0175

H03K 17/16

H03K 17/687

(21)Application number : 03-251226

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.09.1991

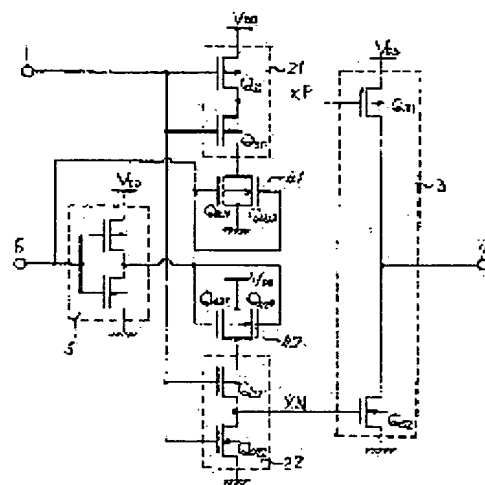
(72)Inventor : SAKANO KOJI

(54) OUTPUT BUFFER

(57)Abstract:

PURPOSE: To provide the output buffer in which both of high speed performance and low noise-performance are provided, the both is utilized through changeover to use lot of the output buffers for a large scale integrated circuit and noise is reduced even when an inverted signal is simultaneously inputted.

CONSTITUTION: In the output buffer comprising pre-stage inverters 21, 22 operated in response to an inverting signal inputted to an input terminal 1 and a post-stage inverter operated in response to an output of the pre-stage inverters, a 1st transmission gate 41 is provided between a source of an N-channel transistor (TR) of the pre-stage inverter 21 and ground, a 2nd transmission gate 42 is provided between a source of a P-channel transistor (TR) of the pre-stage inverter 22 and a power supply, and an inverter 5 is provided between a control terminal 6 and the 2nd transmission gate 42.



LEGAL STATUS

[Date of request for examination] 26.09.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 29.02.1996

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-90942

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
17/16	H	9184-5 J		
17/687				
		6959-5 J	H 0 3 K 19/ 00	1 0 1 F
		8221-5 J	17/ 687	F
審査請求 未請求 請求項の数1(全 6 頁)				

(21)出願番号 特願平3-251226

(22)出願日 平成3年(1991)9月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 坂野 幸司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

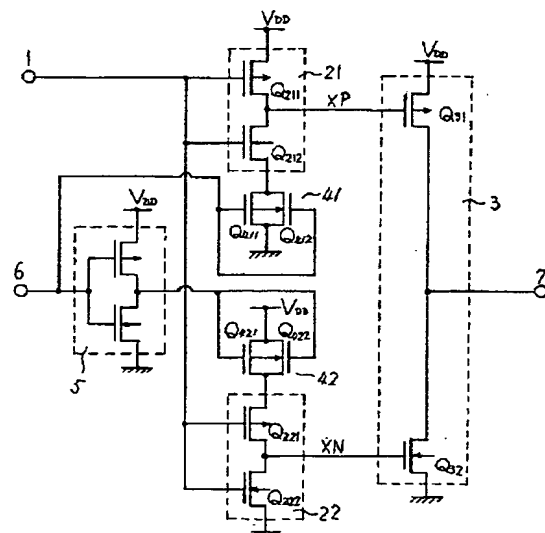
(54)【発明の名称】 出力バッファ

(57)【要約】

【目的】 本発明は、高速性能と低ノイズ性能との両性能を兼ね備えており、その性能を切り換えて利用することにより、大規模集積回路に多数使用され、反転信号が同時入力される場合でも全ノイズ量を低減することができる出力バッファを提供することを目的とする。

【構成】 入力端子1に入力される反転信号にตอบสนองして動作する前段インバータ21・22とこれら前段インバータの出力にตอบสนองして動作する後段インバータ3とよりなる出力バッファにおいて、前段インバータ21のNチャンネルトランジスタのソースと接地間に第1のトランスミッションゲート41が設けられ、前段インバータ22のPチャンネルトランジスタのソースと電源との間に第2のトランスミッションゲート42が設けられ、制御端子6と第2のトランスミッションゲート42との間にインバータ5が設けられている。

本発明の第1実施例に係る出力バッファの回路図



【特許請求の範囲】

【請求項1】 入力端子(1)に入力される反転信号に
 応答して動作する2個の前段インバータ(21・22)と該
 前段インバータ(21・22)の出力に
 応答して動作する後
 段インバータ(3)とを有する出力バッファにおいて、
 前記後段インバータ(3)のPチャネルトランジスタ
 (Q_{31})を制御する前記前段インバータ(21)のNチャ
 ネルトランジスタ(Q_{212})のソースと接地との間に第
 1のトランスミッションゲート(41)が設けられ、前記
 後段インバータ(3)のNチャネルトランジスタ
 (Q_{32})を制御する前記前段インバータ(22)のPチャ
 ネルトランジスタ(Q_{221})のソースと電源との間に第
 2のトランスミッションゲート(42)が設けられ、前記
 第1のトランスミッションゲート(41)の2個のゲート
 はいずれも制御端子(6)に接続され、前記第2のトラ
 ンスミッションゲート(42)の2個のゲートはいずれも
 前記制御端子(6)に接続されたインバータ(5)の出
 力端に接続されてなることを特徴とする出力バッファ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、出力バッファの改良に
 関する。特に、高速性能と低ノイズ性能との両性能を兼
 ね備えており、その性能を切り換えて利用することによ
 り、大規模集積回路に多数使用される場合にも全ノイズ
 量を低減することができる出力バッファを提供すること
 を目的とする改良に関する。

【0002】

【従来の技術】従来技術に係る出力バッファを図4を参
 照して説明する。図において、1は入力端子であり、21
 ・22はこの入力端子1に入力される反転信号に
 応答して動作する2組の前段インバータである。3は上記の一方
 の前段インバータ21の出力をゲートに入力されるPチャ
 ネルトランジスタ Q_{31} と上記の他方の前段インバータ22
 の出力をゲートに入力されるNチャネルトランジスタ Q_{32}
 とよりなる後段インバータである。

【0003】つぎにこの出力バッファの動作について説
 明する。上記の入力端子1に反転信号が入力されると、
 この入力信号に
 応答して前段インバータ21・22のPチャ
 ネルトランジスタとNチャネルトランジスタのいずれか
 がオンし、前段インバータ21・22の出力の電圧レベルは
 電源電圧 V_{DD} と接地電位の間を変化する。この出力信号
 によって後段インバータ3の出力は比較的急峻に反転す
 るので、バッファは高速性能を有している。

【0004】

【発明が解決しようとする課題】ところが、高速性能を
 有する出力バッファは、発生するノイズ量が大きいので、
 従来技術に係る出力バッファが大規模集積回路に多数
 使用され同時変化する場合には個々の出力バッファの
 ノイズが加算されるから全ノイズ量は大きくなり、この
 増大したノイズが他の大規模集積回路に影響を及ぼし半

導体装置全体の誤動作を惹起すると云う欠点が存在す
 る。この誤動作を避けるため使用不可能な出力バッファ
 の数には制限が付与される。

【0005】本発明の目的は、上記の欠点を解消するこ
 とにあり、高速性能と低ノイズ性能との両性能を兼ね備
 えており、出力バッファの負荷の種類に応じて上記の性
 能を切り換えて利用することにより、大規模集積回路に
 多数使用され反転信号が同時入力される場合にも全ノイ
 ズ量を低減することができる出力バッファを提供するこ
 とにある。

【0006】

【課題を解決するための手段】上記の目的は、入力端子
 に入力される反転信号に
 応答して動作する2個の前段イン
 バータとこれらの前段インバータの出力に
 応答して動作する後段インバータとを有する出力バッファにおい
 て、前記の後段インバータのPチャネルトランジスタを
 制御する前記の前段インバータのNチャネルトランジスタ
 のソースと接地との間に第1のトランスミッションゲ
 ートが設けられ、前記の後段インバータのNチャネルト
 ランジスタを制御する前記の前段インバータのPチャネル
 トランジスタのソースと電源との間に第2のトランスミ
 ヂョンゲートが設けられ、前記の第1のトランスミ
 ヂョンゲートの2個のゲートはいずれも制御端子に接
 続され、前記の第2のトランスミッションゲートの2個
 のゲートはいずれも前記の制御端子に接続されたインバ
 ータの出力端に接続されている出力バッファによって達
 成される。

【0007】

【作用】本発明に係る出力バッファにおいては、その後
 段インバータのゲートに入力される信号が反転するとき
 の信号電圧レベルの変化幅(以下、反転信号変化幅と云
 う)が大または小のいずれかに選択され、反転信号変化
 幅が大のときには出力バッファの出力が急峻に反転して
 高速性が確保され、反転信号変化幅が小のときには出力
 バッファの出力が緩やかに反転し低ノイズ性が確保され
 る。上記の反転信号変化幅の大小選択は下記のようにし
 て実行される。制御端子に'0'または'1'の信号を入
 力すると、この信号に基づいて前後インバータに付加
 された2組のトランスミッションゲートのPチャネルト
 ランジスタとNチャネルトランジスタのいずれかがオン
 する。上記の制御端子に入力される制御信号が'0'の
 ときは上記のトランスミッションゲートにおけるスレッ
 ショールド電圧のために後段インバータへ入力される信
 号の反転信号変化幅は小さくなり、上記の制御信号が
 '1'のときは上記のトランスミッションゲートにおけ
 る電圧降下はなく後段インバータへ入力される信号の反
 転信号変化幅は大きくなる。

【0008】出力バッファに接続される負荷の種類によ
 り、高速性が優先される負荷に対しては、制御端子に
 '1'信号を入力して高速性を確保し、高速性よりも低

ノイズ性が優先される負荷に対しては、制御端子に
 '0' 信号を入力して低ノイズ性を確保する。その結
 果、大規模集積回路に多数の出力バッファが接続され、
 反転信号が同時入力される場合にも全ノイズ量を低減す
 ることができる。

【0009】

【実施例】以下、図面を参照して、本発明の一実施例に
 係る出力バッファについて説明する。

【0010】図1は本実施例に係る出力バッファの回路
 図である。図において、1は入力端子であり、21・22は
 この入力端子に入力される反転信号にตอบสนองして動作する
 2組の前段インバータである。3は上記の一方の前段イン
 10 バータ21の出力XPをゲートに入力されるPチャネルト
 ランジスタ Q_{31} と上記の他方の前段インバータ22の出
 力XNをゲートに入力されるNチャネルトランジスタ Q_{32}
 とよりなる後段インバータである。41は上記の一方の
 前段インバータ21のNチャネルトランジスタ Q_{212} のソ
 ースと接地との間に設けられた第1のトランスミッシ
 ョンゲートであり、その2組のゲートは共に制御端子6に
 接続されている。42は上記の他方の前段インバータ22の
 20 Pチャネルトランジスタ Q_{221} のソースと電源との間に
 設けられた第2のトランスミッシンゲートであり、そ
 の2組のゲートは共に、制御端子6に接続されたインバ
 ータ5の出力端に接続されている。なお、 Q_{211} は前段
 インバータ21のPチャネルトランジスタであり、 Q_{222}
 は前段インバータ22のNチャネルトランジスタである。

【0011】つぎに本実施例に係る出力バッファの動作
 について説明する。まず、上記の制御端子6に'0'信
 号が入力されている場合について図2を参照して説明す
 る。図2(a)は入力端子1に入力される入力信号aが
 LからHに反転した場合の前段インバータ21の出力信号
 XPと前段インバータ22の出力信号XNと出力バッファ
 の出力bとの経時変化を示す。図2(b)は上記の入力
 信号aがHからLに反転した場合の上記の出力信号XP
 とXNと出力bとの経時変化を示す。

【0012】上記の制御端子6に'0'信号が入力され
 ているので、第1のトランスミッシンゲート41のPチャ
 ネルトランジスタ Q_{411} はオンであり、Nチャネルト
 ランジスタ Q_{412} はオフである。そのため入力信号aに
 応答して前段インバータ21が出力する信号XPの電圧レ
 ベルは電源電圧 V_{DD} と上記のPチャネルトランジスタ Q_{411}
 のスレッショールド電圧 V_{thn} の間を変化する。また、
 第2のトランスミッシンゲート42のPチャネルトランジ
 スタ Q_{421} はオフであり、Nチャネルトランジスタ Q_{422}
 はオンである。そのため、入力信号aにตอบสนองして
 前段インバータ22が出力する信号XNの電圧レベルは
 ($V_{DD} - V_{thn}$)と接地電位の間を変化する。こゝに、
 V_{thn} は上記のNチャネルトランジスタ Q_{422} のスレッ
 ショールド電圧である。したがって、上記の前段インバ
 ータ21の出力XPと前段インバータ22の出力XNの反転

信号変化幅は、共に比較的小さいので、後段インバータ
 3のトランジスタ Q_{31} ・ Q_{32} が完全にオンする迄に時間
 を要し、後段インバータ3の出力bの波形は図2に示す
 ように緩やかになり、低ノイズ性能が確保される。

【0013】つぎに、上記の制御端子6に'1'信号が
 入力されている場合について図3を参照して説明する。

図3(a)は上記の入力信号aがLからHに反転した場
 合の上記の出力信号XPとXNと出力バッファの出力b
 との経時変化を示し、図3(b)は上記の入力信号aが
 HからLに反転した場合の上記諸量の経時変化を示す。

【0014】上記の制御端子6に'1'信号が入力され
 ているので、第1のトランスミッシンゲート41のPチャ
 ネルトランジスタ Q_{411} はオフであり、Nチャネルト
 ランジスタ Q_{412} はオンである。そのため、前段インバ
 ータ21の出力信号XPの電圧レベルは電源電圧 V_{DD} と接
 地電位の間を変化する。また、第2のトランスミッシ
 ョンゲート42のPチャネルトランジスタ Q_{421} はオンで
 あり、Nチャネルトランジスタ Q_{422} はオフである。そ
 のため、前段インバータ22の出力信号XNの電圧レベルも
 電源電圧 V_{DD} と接地電位の間を変化する。したがって、
 上記の出力信号XPとXNの反転信号変化幅は大きく、後
 20 段インバータ3の出力bは比較的急峻に反転し高速性能
 が確保される。

【0015】よって本発明に係る出力バッファは高速性
 能と低ノイズ性能とを兼ね備えており、制御端子6に入
 力する信号を'0'信号か'1'信号かいずれかを選択
 いずれかを選択することによって上記の両性能のいづれ
 か一方を選ぶことができる。

【0016】

【発明の効果】以上説明したとおり、本発明に係る出力
 バッファにおいては、制御端子に'0'信号か'1'信
 号かいずれかを選択して入力することによって、前段イン
 バータに接続されたトランスミッシンゲートの作用
 により、後段インバータに入力される信号の電圧レベル
 の変化幅が大小いずれかになすことができ、出力バッフ
 ァの出力の反転を急峻か緩慢かのいずれにもなすことが
 できるので、高速性能と低ノイズ性能との両性能を兼ね
 備え出力バッファの負荷の種類に応じて上記の性能を切り
 換えて利用することができる。

【0017】よって本発明は高速性能と低ノイズ性能と
 を容易に切り換えて使用することが可能であり、大規模
 集積回路に多数使用され反転信号が同時入力される場合
 にも全ノイズ量を低減することができる出力バッファを
 提供することができる。

【図面の簡単な説明】

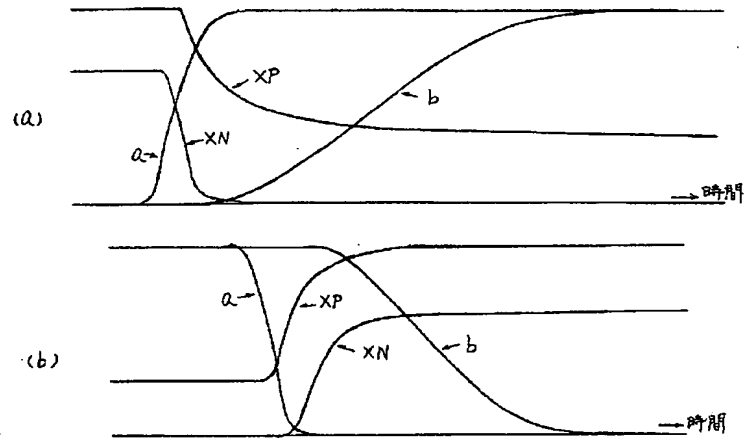
【図1】本発明の1実施例に係る出力バッファの回路図
 である。

【図2】本発明の1実施例に係る出力バッファの動作説
 明図(制御端子に'0'信号入力の場合)である。

【図3】本発明の1実施例に係る出力バッファの動作説

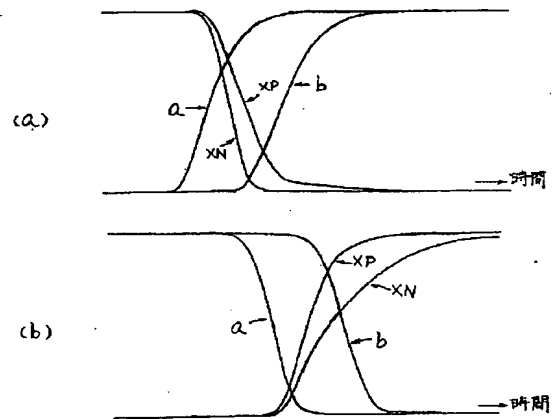
【図2】

本発明の1実施例に係る出力バッファの動作説明図（制御信号‘0’）



【図3】

本発明の1実施例に係る出力バッファの動作説明図
（制御信号‘1’）



【図4】

従来技術に係る出力バッファの回路図

